

for 10/064,265

Japanese publication No. 2003-110798A

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-110798

(P2003-110798A)

(43) 公開日 平成15年4月11日 (2003. 4. 11)

(51) Int.Cl.⁷

識別記号

F I

ターミナル (参考)

H 0 4 N 1/028

H 0 4 N 1/028

A 5 C 0 2 4

1/19

5/335

W 5 C 0 5 1

5/335

1/04

1 0 3 Z 5 C 0 7 2

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号

特願2001-299308(P2001-299308)

(22) 出願日

平成13年9月28日 (2001. 9. 28)

(71) 出願人 000136136

株式会社ピーエフユー

石川県河北郡宇ノ気町宇野気ヌ98番地の
2

(72) 発明者 宮下 幹朗

石川県河北郡宇ノ気町宇野気ヌ98番地の
2 株式会社ピーエフユー内

Fターム (参考) 5C024 CY16 EX01 HX37

5C051 AA01 BA03 DA03 DB01 DB08

DED1

5C072 AA01 BA20 EA05 FB08 FB27

UA06

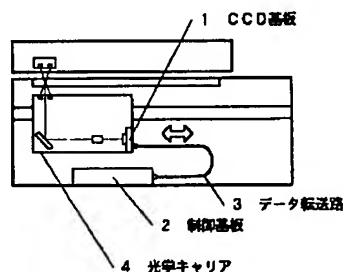
(54) 【発明の名称】 イメージスキャナ装置

(57) 【要約】

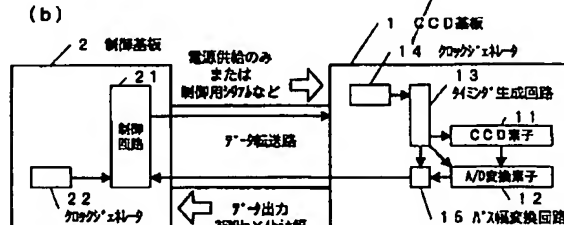
【課題】 従来、画質を最優先とするイメージスキャナ装置においては、撮像素子から出力されるアナログ信号に対してノイズを受け難くするため撮像素子とA/D変換素子間の物理的な距離を短くしている。このため撮像素子とA/D変換素子とこれらの素子のタイミング生成回路とが含まれるCCD基板を光学キャリア内に設け、また画像処理やホスト装置との通信を行う制御回路が含まれる制御基板を筐体側に設けて、CCD基板と制御基板とをデータ転送路で接続するようにしている。しかし、このデータ転送路にはタイミング生成回路用の高速なクロック信号が流れるため、データ転送路から規格値を超える不要電磁界放射が放射されるという問題点があった。

【解決手段】 イメージスキャナ装置において、CCD基板にタイミング生成回路のクロック信号を生成する手段を設ける。これにより、データ転送路から高速なクロック信号を除く。

(a)



(b)



【特許請求の範囲】

【請求項1】 撮像素子と、A/D変換素子と、撮像素子およびA/D変換素子に入力するタイミング信号を生成するタイミング生成回路とをCCD基板に設けたイメージスキャナ装置において、

CCD基板にタイミング生成回路のクロックを生成する手段を設けることを特徴とするイメージスキャナ装置。

【請求項2】 請求項1記載のイメージスキャナ装置において、

CCD基板側は画像信号に同期した制御用クロック信号を生成し、制御基板側に供給し、制御基板側はCCD基板から供給される制御用クロック信号で画像信号の取込みを行う手段を設けることを特徴とするイメージスキャナ装置。

【請求項3】 請求項2記載のイメージスキャナ装置において、

ライン開始部分に対して画素クロックを一時停止させる手段を設けることを特徴とするイメージスキャナ装置。

【請求項4】 請求項1記載のイメージスキャナ装置において、

CCD基板と制御基板とは低速なライン開始信号で同期をとる手段を設けることを特徴とするイメージスキャナ装置。

【請求項5】 請求項2記載のイメージスキャナ装置において、

CCD基板から制御基板に送信する画像信号および制御用クロック信号の転送はディファレンシャル転送とする手段を設けることを特徴とするイメージスキャナ装置。

【請求項6】 請求項2記載のイメージスキャナ装置において、

CCD基板から制御基板に送信する画像信号および制御用クロック信号に対してスペクトラム拡散を適用する手段を設けることを特徴とするイメージスキャナ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、撮像素子と、A/D変換素子と、撮像素子およびA/D変換素子に入力するタイミング信号を生成するタイミング生成回路とをCCD基板に設けたイメージスキャナ装置に関し、特に、CCD基板にタイミング生成回路のクロック信号を生成する手段を設け、CCD基板と制御基板間のデータ転送路から高速なクロック信号を除き、データ転送路から放射される不要電磁界放射を抑えたイメージスキャナ装置に関する。

【0002】なお、この明細書において、「CCD基板」という用語は撮像素子を搭載するプリント基板ユニットを指す。また、「制御基板」という用語は主に画像処理やホストコンピュータへの通信インタフェース機能を有する制御基板ユニットを指す。

【0003】

【従来の技術】撮像素子にCCDラインセンサなどを用い、かつDTP (Desk Top Publishing) などに使用するため、画質が最優先となるように設計されるイメージスキャナ装置においては、撮像素子から出力されるアナログ信号に対してノイズを受け難くするため、アナログ信号をデジタル信号に変換するA/D変換素子と撮像素子間の物理的な距離が短くなるように設計されている。

【0004】図4に、従来のイメージスキャナ装置の構成ブロック例図を示す。図4(a)の41は光学キャリア44内に設けられたCCD基板、42は筐体側に設けられた制御基板であり、CCD基板41と制御基板42とは摺動するデータ転送路43で接続されている。

【0005】また、図4(b)はCCD基板と制御基板の構成図であり、CCD基板41はCCD素子411と、A/D変換素子412と、A/D変換素子412の出力を所定のバス幅に変換して制御基板に出力するバス幅変換回路415と、CCD素子411、A/D変換素子412、バス幅変換回路415に入力するタイミング信号を生成するタイミング生成回路413とで構成されている。

【0006】また、制御基板42は画像処理やホストコンピュータとの通信を行う制御回路421と、制御回路421にクロックを供給するクロックジェネレータ422とで構成されている。

【0007】このように構成されるイメージスキャナ装置においては、データ転送路43のデジタル信号の入出力速度が、アナログ信号を直接制御基板に転送する構成のイメージスキャナ装置と比較して、約8〜16倍の高速な信号帯域を必要とし、そのデータ転送路から放射される不要電磁界放射を抑えることは非常に困難となっている。

【0008】具体的な例として、1画素分のデータ出力が333nS(3MHz)である3ライン(RGB)CCD素子を用いて、RGBデータを点順次で転送する場合において、1画素のデータを各色16bitのデジタル信号に変換すると、333nSの期間中に16×3bitの信号をCCD基板41から制御基板42に転送する必要がある。

【0009】つまり信号帯域として16×3(bit)/333nS=144Mbit/Sという速度が必要となる。この出力信号をデータ転送路の信号線数を削減するために4bit幅にて転送を行う場合、各信号線及び信号タイミング用クロック信号は144Mbit/4bit=36MHzという信号速度が必要となる。

【0010】また、CCD素子およびA/D変換素子に入力するタイミングクロックとして、最低でも3MHz×4=12MHzのクロック信号とデータ転送タイミング用として36MHzのクロック信号およびライン制御用の比較的低速な信号(3.6mS周期程度)を制御基板42からCCD基板41に入力する必要があった。

【0011】また、CCD基板41を搭載した光学キャリア44から制御基板42までのデータ転送路43はA3/DLサイズを読み取り可能なイメージスキャナ装置の場合、0.5～1m程度の長さを必要とし、光学キャリアが摺動することから摺動寿命の長いFPC (Flexible Printed Circuit) やFFC (Flexible Flat Cable) が用いられている。

【0012】

【発明が解決しようとする課題】このように構成されるイメージスキャナ装置は、以下のような問題点があった。

【0013】(1) データ転送路に36MHzといった高速な信号を通すため、データ転送路から各国で規制されている規格値を超える不要電磁界放射が放射される。

【0014】(2) 不要電磁界放射を抑制する手段の1つにデータ転送路の信号に対してローパスフィルタを施す方法があるが、不要電磁界放射を規格値内に抑えようとすると、信号波形に乱れが生じ、回路が正常に動作しない、または回路の動作が保証できなくなる。

【0015】(3) 不要電磁界放射を抑制する手段の1つにデータ転送路に電磁界シールドを施す方法があるが、不要電磁界放射を規格値内に抑えようとすると、データ転送路の摺動寿命が短くなる、また摺動寿命を満足するように屈曲半径を大きくした場合は装置外形が大きくなる、また信号波形に乱れが生じ、回路が正常に動作しない、または回路の動作が保証できなくなる。また、電磁界シールドを施すことによってコストアップする。

【0016】(4) 不要電磁界放射を抑制する手段の1つにタイミング生成回路のクロック信号(信号クロック源)にスペクトラム拡散を適用する方法があるが、撮像素子およびA/D変換素子の信号入力タイミングにずれが生じ、回路動作上の問題が発生したり、画像データにノイズが現れたりする。

【0017】(5) クロック信号を制御基板から供給し、その信号から撮像素子、A/D変換素子に入力するタイミング信号およびCCD基板から出力するデータ出力のタイミング生成を行うため、各素子のディレイや信号波形のバラツキなどによる影響はデータ転送路の距離が0.5～1.0mと長いことから非常に大きく、回路が正常に動作しない、また回路動作が保証できない。

【0018】(6) 制御基板からCCD基板に供給するタイミング生成用クロック信号などに静電気などの外来ノイズが影響した場合、画像データにノイズとして影響が現れる。

【0019】

【課題を解決するための手段】この発明は上記のような問題点を考慮してなされたもので、撮像素子と、A/D変換素子と、撮像素子およびA/D変換素子に入力するタイミング信号を生成するタイミング生成回路とをCCD

基板にタイミング生成回路のクロック信号を生成する手段を設ける。これにより、CCD基板と制御基板間のデータ転送路から高速なクロック信号を除き、データ転送路から放射される不要電磁界放射を抑える。

【0020】

【発明の実施の形態】(1) 撮像素子と、A/D変換素子と、撮像素子およびA/D変換素子に入力するタイミング信号を生成するタイミング生成回路とをCCD基板に設けたイメージスキャナ装置において、CCD基板にタイミング生成回路のクロックを生成する手段(クロックジェネレータ)を設ける。これにより、CCD基板と制御基板間のデータ転送路から高速なクロック信号を除き、データ転送路から放射される不要電磁界放射を抑えることができる。

【0021】(2) (1) 記載のイメージスキャナ装置において、CCD基板側は画像信号に同期した制御用クロック信号を生成し、制御基板側に供給し、制御基板側はCCD基板から供給される制御用クロック信号で画像信号の取込みを行う手段を設ける。これにより、CCD基板から制御基板に出力される画像信号および制御用クロック信号(画素クロック信号、ラインクロック信号)の発信源および転送距離、転送タイミング、波形、ディレイなどをそろえることができ、回路の動作保証上の問題を抑えることができる。

【0022】(3) (2) 記載のイメージスキャナ装置において、ライン開始部分に対して画素クロックを一時停止させる手段を設ける。これにより、制御基板は画素クロックが一時停止した部分をライン開始と認識することができ、画素クロックのみで画像信号の同期を容易に取ることが可能となる。また、データ転送路の信号を少なくすることができる。

【0023】(4) (1) 記載のイメージスキャナ装置において、CCD基板と制御基板とは低速なライン開始信号で同期をとる手段を設ける。これにより、制御基板側で画像信号の取り込みタイミング(ライン開始)を容易につかむことができる。またCCD基板にタイマ回路を設けなくても済み、CCD基板をシンプルな構成にすることができる。

【0024】(5) (2) 記載のイメージスキャナ装置において、CCD基板から制御基板に送信する画像信号および制御用クロック信号の転送はディファレンシャル転送とする手段を設ける。これにより、データ転送路から放射される低域側周波数帯域の不要電磁界放射および外部ノイズからの影響を低減することができる。

【0025】(6) (2) 請求項2記載のイメージスキャナ装置において、CCD基板から制御基板に送信する画像信号および制御用クロック信号に対してスペクトラム拡散を適用する手段を設ける。これにより、データ転送路から放射される広域側周波数帯域の不要電磁界放射を低減することができる。

【0026】

【実施例】図1に、本発明のイメージスキャナ装置の一実施例の構成ブロック図(1)を示す。図1(a)の1は光学キャリア4内に設けられたCCD基板、2は筐体側に設けられた制御基板であり、CCD基板1と制御基板2は摺動するデータ転送路3で接続されている。

【0027】また、図1(b)はCCD基板と制御基板の構成図であり、CCD基板1はCCD素子11と、A/D変換素子12と、A/D変換素子12の出力を所定のバス幅に変換して制御基板に出力するバス幅変換回路15と、CCD素子11、A/D変換素子12、バス幅変換回路15に入力するタイミング信号を生成するタイミング生成回路13と、タイミング生成回路13のクロックを生成するクロックジェネレータ14とで構成されている。

【0028】また、制御基板2は画像処理やホストコンピュータとの通信を行う制御回路21と、制御回路21にクロックを供給するクロックジェネレータ22とで構成されている。

【0029】このような構成にすることで、CCD基板はA/D変換されたデジタルデータ出力をCCD基板内において生成されるクロック信号とともに制御基板に転送し、また制御基板はCCD基板から供給されるクロック信号を使用してCCD基板から出力される画像信号を取り込むことができる。

【0030】したがって、制御基板からCCD基板に入力される信号は制御用シリアルなどの比較的低速な信号に限られるので、制御基板から出力される信号に対して3端子フィルタ、チップビーズインダクタなどのローパスフィルタを適用することにより、制御基板からCCD基板へのデータ転送路から放射される不要電磁界放射を規格値内に抑えることが可能となる。

【0031】また、CCD基板にクロックジェネレータを設けたことによりタイミング生成回路へのクロック供給路自体の長さを短くすることができるため、静電気などの外来ノイズの影響を抑えることが可能となる。

【0032】また、CCD基板から制御基板に出力される画像信号、画素クロック信号およびラインクロック信号の発信源(ソース)における転送距離、転送タイミング、波形、ディレイなどをそろえることができ、回路動作を不安定にさせる要素を抑えることが可能となる。

【0033】なお、この構成ではCCD基板にバス幅変換回路を設けるようにしたが、A/D変換素子から出力されるデジタルデータをそのまま制御基板に出力するようにしてもよい。

【0034】図2に、CCD基板出力信号(制御基板入力信号)のタイミング模式図を示す。図2(a)に示すように、画像信号(Image Data1-4)、画素クロック信号(Data Clock)およびラインクロック信号(Line Clock)を出力するようにしてもよいが、図2(b)のよう

にタイミング生成回路において、ライン開始部分に対して画素クロックを一時停止させるようにし、画像信号(Image Data1-4)と画素クロック信号(Data Clock)とを出力させるようにしてもよい。これにより、データ転送路の信号線を少なくでき、データ転送路から放射される不要電磁界放射を少なくすることができる。

【0035】図3に、本発明のイメージスキャナ装置の一実施例の構成ブロック図(2)を示す。なお、図3の1、2、11、12、13、14、21、22は、図1の1、2、11、12、13、14、21、22と同じである。

【0036】この実施例は図1の実施例に、CCD基板から制御基板に送信する画像信号および制御用クロック信号に対してスペクトラム拡散を適用させる拡散回路16と、CCD基板から制御基板に送信する画像信号および制御用クロック信号をディファレンシャル転送するディファレンシャル送信回路17とをCCD基板側に加え、またCCD基板から制御基板にディファレンシャル転送される画像信号および制御用クロック信号を受信するディファレンシャル受信回路23を制御基板側に加えたものである。

【0037】このように構成することで、CCD基板から制御基板に出力する画像信号および制御用クロック信号をディファレンシャル転送することができ、データ転送路から放射される低域側周波数帯域の不要電磁界放射および外部ノイズからの影響を低減することが可能となる。

【0038】また、CCD基板から制御基板に送信する画像信号および制御用クロック信号に対してスペクトラム拡散を適用させることができ、データ転送路から放射される高域側周波数帯域の不要電磁界放射を低減することが可能となる。なお、CCD素子やA/D変換素子のクロックに対してはスペクトラム拡散を適用することがないので、回路動作に問題が生じたり、画像データにノイズとして影響が現れたりすることはない。

【0039】また、この実施例ではライン制御用クロック信号を制御基板からCCD基板のタイミング生成回路13に供給するようにし、タイミング生成回路13は供給されるライン制御用クロック信号に同期させて、CCD素子11、A/D変換素子12に入力するタイミング信号を生成するようにしている。このようにすることで、制御基板側では画像信号の取り込みタイミング(ライン開始)容易につかむことができ、またCCD基板側はライン制御用クロック信号を生成するためのタイマ回路を削除することができ、シンプルな構成にすることができる。

【0040】

【発明の効果】この発明は、上記に説明したような形態で実施され、以下の効果がある。

【0041】データ転送路から放射される不要電磁界放

射を規格値内に抑えることが可能となる。

【0042】また、データ転送路から放射される不要電磁界放射の規格値を満足させるためにデータ転送路に対して行われる電磁界シールドを削減または削除することが可能となる。したがって、データ転送路の摺動寿命が長く、また摺動寿命を満足するように屈曲半径を小さくでき、装置外形を小さく設計することが可能となる。

【図面の簡単な説明】

【図1】 本発明のイメージスキャナ装置の一実施例の構成ブロック図(1)である。

【図2】 CCD基板出力信号(制御基板入力信号)のタイミング模式図である。

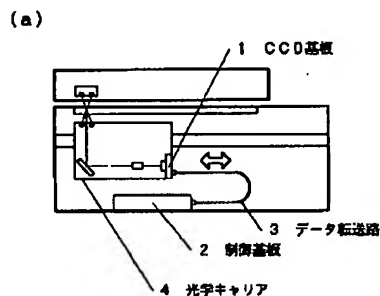
【図3】 本発明のイメージスキャナ装置の一実施例の構成ブロック図(2)である。

【図4】 従来のイメージスキャナ装置の構成ブロック例図である。

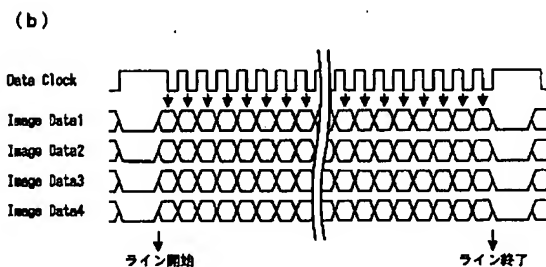
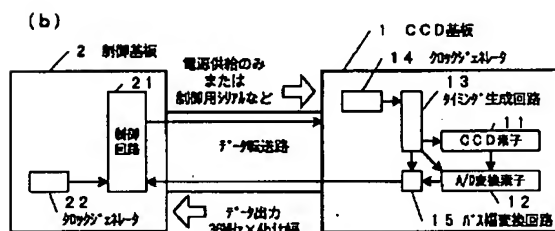
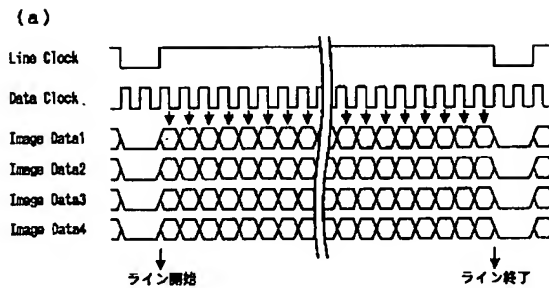
【符号の説明】

- | | |
|----|---------------|
| 1 | CCD基板 |
| 2 | 制御基板 |
| 3 | データ転送路 |
| 4 | 光学キャリア |
| 11 | CCD素子 |
| 12 | A/D変換素子 |
| 13 | タイミング生成回路 |
| 14 | クロックジェネレータ |
| 15 | バス幅変換回路 |
| 16 | 拡散回路 |
| 17 | ディファレンシャル送信回路 |
| 21 | 制御回路 |
| 22 | クロックジェネレータ |
| 23 | ディファレンシャル受信回路 |

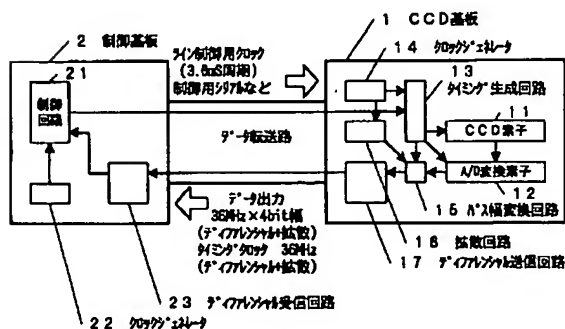
【図1】



【図2】

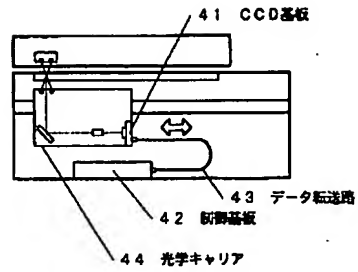


【図3】

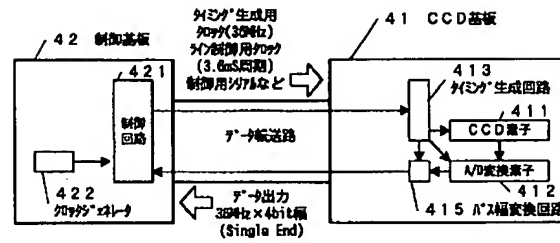


【図4】

(a)



(b)



PAT-NO: JP02003110798A
DOCUMENT-IDENTIFIER: JP 2003110798 A
TITLE: IMAGE SCANNER DEVICE
PUBN-DATE: April 11, 2003

INVENTOR-INFORMATION:

NAME	COUNTRY
MIYASHITA, MIKIAKI	N/A

INT-CL (IPC): H04N001/028, H04N001/19 , H04N005/335

ABSTRACT:

PROBLEM TO BE SOLVED: To solve a problem that a high speed clock signal for a timing generation circuit flows through a data transfer channel so that unnecessary electromagnetic field emission exceeding standard value is emitted from the data transfer channel, by reducing physical distance between an image pickup element and an A/D converter element to make an analog signal outputted from the image pickup element hard to receive noise, by providing a CCD substrate comprising the image pickup element, the A/D converter element and a timing generation circuit for these elements in an optical carrier, and by providing a control substrate comprising a control circuit performing image processing and communication with a host device in a box body side, to connect the CCD substrate and the control substrate with the data transfer channel, related to a conventional image scanner device in which image quality is taken as top priority.

SOLUTION: An image scanner device is provided with a means that generates a clock signal of a timing generation circuit on a CCD substrate. As a result, a speed clock signal is removed from the data transfer channel.

----- KWIC -----

Abstract Text - FPAR (1):

PROBLEM TO BE SOLVED: To solve a problem that a high speed clock signal for a timing generation circuit flows through a data transfer channel so that unnecessary electromagnetic field emission exceeding standard value is emitted from the data transfer channel, by reducing physical distance between an image pickup element and an A/D converter element to make an analog signal outputted from the image pickup element hard to receive noise, by providing a CCD substrate comprising the image pickup element, the A/D converter element and a timing generation circuit for these elements in an optical carrier, and by providing a control substrate comprising a control circuit performing image processing and communication with a host device in a box body side, to connect the CCD substrate and the control substrate with the data transfer channel, related to a conventional image scanner device in which image quality is taken as top priority.

DERWENT-ACC-NO: 2003-349804

DERWENT-WEEK: 200333

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Image scanner has timing generating circuit
which generates timing signal fed to image sensor and
analog to digital converter of charge-coupled device
board based on clock signal generated corresponding to input
control signal

PRIORITY-DATA: 2001JP-0299308 (September 28, 2001)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 2003110798 A	April 11, 2003	N/A
006 H04N 001/028		

INT-CL (IPC): H04N001/028, H04N001/19 , H04N005/335

ABSTRACTED-PUB-NO: JP2003110798A

BASIC-ABSTRACT:

NOVELTY - The image scanner has a clock generator (14) that is provided at charge-coupled device board (1) to generate clock signal corresponding to control signal input from a control board (2). A timing generating circuit (13) generates timing signal and inputs into charge coupled device element (11) and analog to digital converter (12) provided at the charge-coupled device board based on the generated clock signal.

USE - Image scanner.

ADVANTAGE - Restrains the radiation of unnecessary electromagnetic field from the data transmission path, by generating high speed clock signal,

thereby
improves the durability of the data transmission path.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of the image scanner. (Drawing includes non-English language text).

charge-coupled device board 1

control board 2

charge-coupled device element 11

analog to digital converter 12

timing generating circuit 13

clock generator 14

----- KWIC -----

Basic Abstract Text - ABTX (1):

NOVELTY - The image scanner has a clock generator (14) that is provided at charge-coupled device board (1) to generate clock signal corresponding to control signal input from a control board (2). A timing generating circuit (13) generates timing signal and inputs into charge coupled device element (11) and analog to digital converter (12) provided at the charge-coupled device board based on the generated clock signal.

Title - TIX (1):

Image scanner has timing generating circuit which generates timing signal fed to image sensor and analog to digital converter of charge-coupled device board based on clock signal generated corresponding to input control signal